

W1375

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-250712

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

G06F 3/06

(21)Application number : 11-053611

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.03.1999

(72)Inventor : FUJIMOTO KAZUHISA

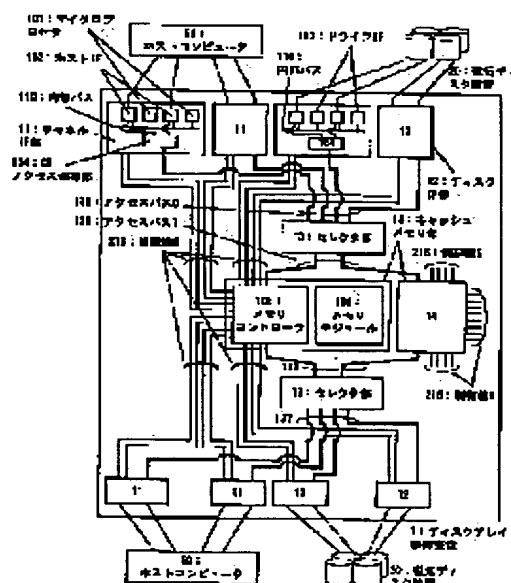
(54) DISK ARRAY CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a disk array controller which reduces access time from an interface part with a host computer and an interface part with a magnetic disk drive to a cache memory part and has high data transfer throughput.

SOLUTION: A channel IF part 11 and a disk IF part 12 are connected to cache memory part 14 through a selector part 13. When accesses of a prescribed number or more from the part 11 or 12 compete, the part 3 selects the prescribed number of access paths.

Respective microprocessors in the parts 11 and 12 are connected to a memory controller 105 in the part 14 with a control line, and the controller 105 performs an arbitration operation occurring in the part 13. Thus, it is possible to reduce waiting time due to access contention.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-250712

(P2000-250712A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 6 F 3/06	3 0 1	G 0 6 F 3/06	3 0 1 G 5 B 0 6 5
	5 4 0		5 4 0

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願平11-53611

(22) 出願日 平成11年3月2日 (1999.3.2)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 藤本 和久

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男

Fターム(参考) 5B065 BA01 CA12 CA30 CE11

(54) 【発明の名称】 ディスクアレイ制御装置

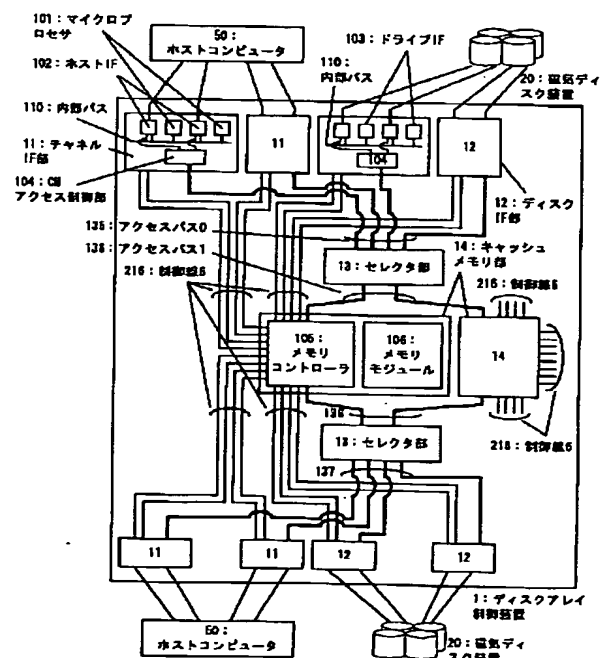
(57) 【要約】

【課題】 ホストコンピュータとのインターフェース部及び磁気ディスク装置とのインターフェース部からキャッシュメモリ部へのアクセス時間を短縮し、データ転送スループットの高いディスクアレイ制御装置を提供する。

【解決手段】 チャンネル I/F 部 11 及びディスク I/F 部 12 と、キャッシュメモリ部 14 との間をセレクト部 13 を介して接続する。該セレクト部は、チャンネル I/F 部 11 又はディスク I/F 部 12 から所定数以上のアクセスが競合した場合、所定数のアクセスバスを選択する。チャンネル I/F 部 11 及びディスク I/F 部 12 内の各マイクロプロセッサと、キャッシュメモリ部 14 内のメモリコントローラ 105 とを制御線で接続し、上記セレクト部で生ずる調停動作を、該メモリコントローラで行う。

【効果】 アクセス競合による待ち時間を減らすことが可能となる。

図 1



【特許請求の範囲】

【請求項1】それぞれが、ホストコンピュータとのインターフェース部と、ホストコンピュータに対する入出力を制御するマイクロプロセッサとを有する複数のチャンネルインタフェース部と、

それぞれが、ディスク装置とのインターフェース部と、ディスク装置に対する入出力を制御するマイクロプロセッサとを有する複数のディスクインタフェース部と、前記ディスク装置とのインターフェース部に接続されるディスク装置内に格納されるデータを一時的に格納するメモリモジュールと、前記メモリモジュールへのアクセスを制御するメモリコントローラとを有するキャッシュメモリ部と、

前記複数のチャンネルインタフェース部と、前記複数のディスクインタフェース部と、前記キャッシュメモリ部とに接続され、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部から前記キャッシュメモリ部へのアクセス要求を実行するセクタ部と、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部内の各マイクロプロセッサと、前記メモリコントローラとを接続する複数の制御線、とを有することを特徴とするディスクアレイ制御装置。

【請求項2】前記メモリコントローラは、前記複数の制御線を介して、前記複数のチャンネルインタフェース部又は前記複数のディスクインタフェース部内の各マイクロプロセッサからアクセス要求を受信し、そのアクセス要求が競合した場合に、調停を行う手段を有することを特徴とする請求項1に記載のディスクアレイ制御装置。

【請求項3】それぞれが、ホストコンピュータとのインターフェース部と、ホストコンピュータに対する入出力を制御するマイクロプロセッサとを有する複数のチャンネルインタフェース部と、

それぞれが、ディスク装置とのインターフェース部と、ディスク装置に対する入出力を制御するマイクロプロセッサとを有する複数のディスクインタフェース部と、前記ディスク装置とのインターフェース部に接続されるディスク装置内に格納されるデータを一時的に格納するメモリモジュールと、前記メモリモジュールへのアクセスを制御するメモリコントローラとを有するキャッシュメモリ部と、

前記複数のチャンネルインタフェース部と、前記複数のディスクインタフェース部と、前記キャッシュメモリ部とに接続され、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部から前記キャッシュメモリ部へのアクセス要求を実行するセクタ部とを有し、

前記複数のチャンネルインタフェース部の各チャンネルインタフェース部は、前記キャッシュメモリ部へのアクセスを制御するキャッシュメモリアクセス制御部を有し、前記複数のディスクインタフェース部の各ディスクイン

タフェース部は、前記キャッシュメモリ部へのアクセスを制御するキャッシュメモリアクセス制御部を有し、前記複数のチャンネルインタフェース部の各チャンネルインタフェース部の前記キャッシュメモリアクセス制御部と、前記複数のディスクインタフェース部の各ディスクインタフェース部のキャッシュメモリアクセス制御部と、前記メモリコントローラとを接続する複数の制御線、とを有することを特徴とするディスクアレイ制御装置。

【請求項4】前記メモリコントローラは、前記複数の制御線を介して、前記複数のチャンネルインタフェース部又は前記複数のディスクインタフェース部内の各キャッシュメモリアクセス制御部からアクセス要求を受信し、そのアクセス要求が競合した場合に、調停を行う手段を有することを特徴とする請求項3に記載のディスクアレイ制御装置。

【請求項5】それぞれが、ホストコンピュータとのインターフェース部と、ホストコンピュータに対する入出力を制御するマイクロプロセッサとを有する複数のチャンネルインタフェース部と、

それぞれが、ディスク装置とのインターフェース部と、ディスク装置に対する入出力を制御するマイクロプロセッサとを有する複数のディスクインタフェース部と、前記ディスク装置とのインターフェース部に接続されるディスク装置内に格納されるデータを一時的に格納するメモリモジュールと、前記メモリモジュールへのアクセスを制御するメモリコントローラとを有するキャッシュメモリ部と、

前記複数のチャンネルインタフェース部と、前記複数のディスクインタフェース部と、前記キャッシュメモリ部とに接続され、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部から前記キャッシュメモリ部へのアクセス要求を実行するセクタ部と、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部内の各マイクロプロセッサと、前記セクタ部とを接続する複数の制御線、とを有することを特徴とするディスクアレイ制御装置。

【請求項6】前記セクタ部は、前記複数の制御線を介して、前記複数のチャンネルインタフェース部又は前記複数のディスクインタフェース部内の各マイクロプロセッサからアクセス要求を受信し、そのアクセス要求が競合した場合に、調停を行う手段を有することを特徴とする請求項5に記載のディスクアレイ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データを複数の磁気ディスク装置に格納するディスクアレイ装置の制御装置に関する。

【0002】

【従来の技術】半導体記憶装置を記憶媒体とするコンピ

ユータの主記憶のI/O性能に比べて、磁気ディスクを記憶媒体とするディスクサブシステム（以下「サブシステム」という。）のI/O性能は3～4桁程度小さく、従来からこの差を縮めること、すなわちサブシステムのI/O性能を向上させる努力がなされている。サブシステムのI/O性能を向上させるための1つの方法として、複数の磁気ディスク装置でサブシステムを構成し、データを複数の磁気ディスク装置に格納する、いわゆるディスクアレイと呼ばれるシステムが知られている。

【0003】図2は、従来のディスクアレイの構成を示す。ホストコンピュータ50とディスクアレイ制御装置2との間のデータ転送を実行する複数のチャンネルIF部11と、磁気ディスク装置20とディスクアレイ制御装置2間のデータ転送を実行する複数のディスクIF部12と、磁気ディスク装置20のデータを一時的に格納するキャッシュメモリ部14と、ディスクアレイ制御装置2に関する制御情報（例えば、チャンネルIF部及びディスクIF部とキャッシュメモリ部14との間のデータ転送制御に関する情報）を格納する共有メモリ部15とを備え、キャッシュメモリ部14および共有メモリ部15は全てのチャンネルIF部11及びディスクIF部12からアクセス可能な構成となっている。このディスクアレイでは、チャンネルIF部11及びディスクIF部12と共有メモリ部15との間、及び、チャンネルIF部11及びディスクIF部12とキャッシュメモリ部14との間は1対1に接続される。

【0004】チャンネルIF部11は、ホストコンピュータ50と接続するためのインターフェース及びホストコンピュータ50に対する入出力を制御するマイクロプロセッサ（図示せず）を有している。また、ディスクIF部12は、磁気ディスク装置20と接続するためのインターフェース及び磁気ディスク装置20に対する入出力を制御するマイクロプロセッサ（図示せず）を有している。また、ディスクIF部12は、RAID機能の実行も行う。

【0005】図3は、他の従来のディスクアレイの構成を示す。ホストコンピュータ50とディスクアレイ制御装置3間のデータ転送を実行する複数のチャンネルIF部11と、磁気ディスク装置20とディスクアレイ制御装置3間のデータ転送を実行する複数のディスクIF部12と、磁気ディスク装置20のデータを一時的に格納するキャッシュメモリ部14と、ディスクアレイ制御装置3に関する制御情報（例えば、チャンネルIF部及びディスクIF部とキャッシュメモリ部14との間のデータ転送制御に関する情報）を格納する共有メモリ部15を備え、各チャンネルIF部11及びディスクIF部12と共有メモリ部15間は共有バス130で接続され、各チャンネルIF部11及びディスクIF部12とキャッシュメモリ部14間は共有バス131で接続される。

【0006】

【発明が解決しようとする課題】ディスクアレイシステムに対する高性能化要求に対して、これまでは、ディスクアレイ制御装置の大規模化や構成要素の高速化、例えばチャンネルIF部及びディスクIF部内のプロセッサ数やキャッシュメモリ容量の増大、高性能プロセッサの適用、内部バス幅の拡大やバス転送能力の向上などで対応してきた。しかしながら、第3図に示した従来技術では、内部バスの転送能力がシステムの大規模化および性能向上に追従するのが困難になりつつある。

【0007】そこで内部バス性能を向上させて高いメモリアクセス性能を得るために、第2図に示した従来技術のように、チャンネルIF部及びディスクIF部とキャッシュメモリ及び共有メモリ間を1：1に接続する方法が考えられる。この方法によれば、メモリに接続したアクセスバス数に比例して内部バス性能が増加する。しかしながら、搭載するプロセッサ数の増大に比例して、共有メモリおよびキャッシュメモリへのアクセス要求も増加する。そのため、内部バス性能を最大限に引き出すために、各チャンネルIF部、ディスクIF部ー共有メモリ、キャッシュメモリ間のアクセスを効率的に制御する必要がある。

【0008】本発明の目的は上述の課題を解消し、チャンネルIF部、ディスクIF部ーキャッシュメモリ間のアクセスバスを効率的に使用し、キャッシュメモリへのデータ転送スループットの高いディスクアレイ制御装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的は、それぞれが、ホストコンピュータとのインターフェース部と、ホストコンピュータに対する入出力を制御するマイクロプロセッサとを有する複数のチャンネルインタフェース部と、それぞれが、ディスク装置とのインターフェース部と、ディスク装置に対する入出力を制御するマイクロプロセッサとを有する複数のディスクインタフェース部と、前記ディスク装置とのインターフェース部に接続されるディスク装置内に格納されるデータを一時的に格納するメモリモジュールと、前記メモリモジュールへのアクセスを制御するメモリコントローラとを有するキャッシュメモリ部と、前記複数のチャンネルインタフェース部と、前記複数のディスクインタフェース部と、前記キャッシュメモリ部とに接続され、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部から前記キャッシュメモリ部へのアクセス要求を実行するセレクト部と、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部内の各マイクロプロセッサと、前記メモリコントローラとを接続する複数の制御線とを有することを特徴とするディスクアレイ制御装置により達成される。

【0010】望ましくは、前記メモリコントローラは、前記複数の制御線を介して、前記複数のチャンネルインタ

フェース部又は前記複数のディスクインタフェース部内の各マイクロプロセッサからアクセス要求を受信し、そのアクセス要求が競合した場合に、調停を行う手段を有する。

【0011】また、上記目的は、それぞれが、ホストコンピュータとのインターフェース部と、ホストコンピュータに対する入出力を制御するマイクロプロセッサとを有する複数のチャンネルインタフェース部と、それぞれが、ディスク装置とのインターフェース部と、ディスク装置に対する入出力を制御するマイクロプロセッサとを有する複数のディスクインタフェース部と、前記ディスク装置とのインターフェース部に接続されるディスク装置内に格納されるデータを一時的に格納するメモリモジュールと、前記メモリモジュールへのアクセスを制御するメモリコントローラとを有するキャッシュメモリ部と、前記複数のチャンネルインタフェース部と、前記複数のディスクインタフェース部と、前記キャッシュメモリ部とに接続され、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部から前記キャッシュメモリ部へのアクセス要求を実行するセクタ部とを有し、前記複数のチャンネルインタフェース部の各チャンネルインタフェース部は、前記キャッシュメモリ部へのアクセスを制御するキャッシュメモリアクセス制御部を有し、前記複数のディスクインタフェース部の各ディスクインタフェース部は、前記キャッシュメモリ部へのアクセスを制御するキャッシュメモリアクセス制御部を有し、前記複数のチャンネルインタフェース部の各チャンネルインタフェース部の前記キャッシュメモリアクセス制御部と、前記複数のディスクインタフェース部の各ディスクインタフェース部のキャッシュメモリアクセス制御部と、前記メモリコントローラとを接続する複数の制御線とを有することを特徴とするディスクアレイ制御装置により達成される。

【0012】望ましくは、前記メモリコントローラは、前記複数の制御線を介して、前記複数のチャンネルインタフェース部又は前記複数のディスクインタフェース部内の各キャッシュメモリアクセス制御部からアクセス要求を受信し、そのアクセス要求が競合した場合に、調停を行う手段を有する。

【0013】また、上記目的は、それぞれが、ホストコンピュータとのインターフェース部と、ホストコンピュータに対する入出力を制御するマイクロプロセッサとを有する複数のチャンネルインタフェース部と、それぞれが、ディスク装置とのインターフェース部と、ディスク装置に対する入出力を制御するマイクロプロセッサとを有する複数のディスクインタフェース部と、前記ディスク装置とのインターフェース部に接続されるディスク装置内に格納されるデータを一時的に格納するメモリモジュールと、前記メモリモジュールへのアクセスを制御するメモリコントローラとを有するキャッシュメモリ部

と、前記複数のチャンネルインタフェース部と、前記複数のディスクインタフェース部と、前記キャッシュメモリ部とに接続され、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部から前記キャッシュメモリ部へのアクセス要求を実行するセクタ部と、前記複数のチャンネルインタフェース部及び前記複数のディスクインタフェース部内の各マイクロプロセッサと、前記セクタ部とを接続する複数の制御線とを有することを特徴とするディスクアレイ制御装置により達成される。

【0014】望ましくは、前記セクタ部は、前記複数の制御線を介して、前記複数のチャンネルインタフェース部又は前記複数のディスクインタフェース部内の各マイクロプロセッサからアクセス要求を受信し、そのアクセス要求が競合した場合に、調停を行う手段を有する。

【0015】

【発明の実施の形態】本発明の実施例について、以下詳細に説明する。

【0016】（実施例1）図1に、本発明の一実施例を示す。

【0017】図1に、本発明の一実施例を示す。

【0018】ディスクアレイ制御装置1は、ホストコンピュータ50との2つのインターフェース部（チャンネルIF部）11と、磁気ディスク装置20との2つのインターフェース部（ディスクIF部）12と、2つのセクタ部13と、2つのキャッシュメモリ部14と、2つの共有メモリ部15と、アクセスバス0:135と、アクセスバス1:136と、アクセスバス2:137とを有する。

【0019】図13を用いて、チャンネルIF部11の構成を説明する。チャンネルIF部11は、ホストコンピュータ50との2つのIF（ホストIF）102と、ホストコンピュータ50に対する入出力を制御する2つのマイクロプロセッサ101と、キャッシュメモリ部14へのアクセスを制御するアクセス制御部（CMアクセス制御部）104を有し、ホストコンピュータ50とキャッシュメモリ部14間のデータ転送を実行する。マイクロプロセッサ101及びホストIF102は内部バス106によって接続され、CMアクセス制御部104は2つのホストIF102に直接接続されている。2つのマイクロプロセッサ101とメモリコントローラとの間は、制御線216で接続されている。

【0020】ディスクIF部12は、図13で説明したチャンネルIF部11の構成と同様である。ディスクIF部12は、磁気ディスク装置20との2つのIF（ドライブIF）103と、磁気ディスク装置20に対する入出力を制御する2つのマイクロプロセッサ101と、キャッシュメモリ部14への1つのアクセス制御部（CMアクセス制御部）104を有し、磁気ディスク装置20とキャッシュメモリ部14間のデータ転送を実行する。

マイクロプロセッサ101及びドライブIF103は内部バス106によって接続され、CMアクセス制御部104は2つのドライブIF103に直接接続されている。2つのマイクロプロセッサ101とメモリコントローラとの間には、制御線216で接続されている。また、ディスクIF部はRAID機能の実行も行う。

【0021】ここで、上記個数は一実施例に過ぎず、個数を上記に限定するものではない。

【0022】キャッシュメモリ部14は、メモリコントローラ105とメモリモジュール106を有し、磁気ディスク装置20へ記録するデータや、そのデータ及びシステム内の管理情報等を格納する。

【0023】マイクロプロセッサ101は、キャッシュメモリ部14へのアクセス時、制御線6:216を使用してメモリコントローラ105へアクセス要求を送出する。メモリコントローラ105は、各マイクロプロセッサ101からのアクセス要求にもとづいてアービトレーションを行い、メモリへのアクセス権を獲得したマイクロプロセッサ101へ、制御線6:216を使用してアクセス承認を返す。マイクロプロセッサ101は、メモリコントローラ105からアクセス承認を受けると、キャッシュメモリ部14へのアクセスを開始する。

【0024】セクタ部13には、2つのチャンネルIF部11、2つのディスクIF部12からそれぞれ1本ずつ、計4本のアクセスバス0:135が接続されている。また、セクタ部13には、2つのキャッシュメモリ部14へのアクセスバス1:136が1本ずつ、計2本接続されている。

【0025】アクセスバス0:135とアクセスバス1:136の間には上記のようなバス数の関係があるため、セクタ部13ではチャンネルIF部11及びディスクIF部12からの4本のアクセスバス0:135からの要求の内、キャッシュメモリ部14へのアクセスバス1:136の数に相当する2個だけを選択して実行する機能を持つ。

【0026】ここで、上記個数は一実施例に過ぎず、個数を上記に限定するものではない。1つのセクタ部13からキャッシュメモリ部14へ接続されるアクセスバスの数を、チャンネルIF部11及びディスクIF部12から1つのセクタ部13に接続されるアクセスバスの数より少なくし、チャンネルIF部11とディスクIF部12の合計数よりもセクタ部13の数が少なくなるように上記個数を設定すると、キャッシュメモリ部14へ接続されるアクセスバス数を削減することができる。キャッシュメモリ部14のLSIピンネック及びパッケージのコネクタネックという問題が生じた場合、上記のようにすることで、LSIのピンネック及びパッケージのコネクタネックを解消することができる。

【0027】図6は、CMアクセス制御部104内の構成を示している。CMアクセス制御部104は、セク

タ302と、キャッシュメモリ部14に繋がるアクセスバス0:135とのバスIF301と、データのエラーチェック部300と、データ転送制御部310を有する。セクタ302の2つのポートはデータ線210でホストIF102あるいはドライブIF103に接続される。また、セクタ302のもう1つのポートはバスIF301に接続される。バスIF301はアクセスバス0:135でセクタ部13に接続される。データ転送制御部310は、制御線1:211でホストIF102あるいはドライブIF103に接続され、制御線2:212でセクタ部13内のデータ転送制御部310に接続される。また、データ転送制御部310は、セクタ302の切り替えを行う。

【0028】図8は、セクタ部13内の構成を示している。セクタ部13は、チャンネルIF部11、またはディスクIF部12に繋がるアクセスバス0:135とのバスIF301と、キャッシュメモリ部14に繋がるアクセスバス0:136とのバスIF301と、両者間を互いに接続するセクタ304と、データのエラーチェック部300と、CMアクセス制御部104から送出されたアドレス及びコマンドを解析するアドレス(ad r)、コマンド(cmd)解析部305と、データ転送制御部310を有する。データ転送制御部310は、制御線2:212でCMアクセス制御部104内のデータ転送制御部310に接続され、制御線4:214でキャッシュメモリ部14のメモリコントローラ105内のデータ転送制御部310に接続される。また、データ転送制御部310は、セクタ304の切り替えを行う。

【0029】図10は、キャッシュメモリ部14内の構成を示している。キャッシュメモリ部14は、メモリコントローラ105とメモリモジュール106を有する。メモリコントローラ105は、セクタ部13に繋がるアクセスバス1:136とのバスIF301と、メモリモジュール106とのメモリIF308と、両者間を互いに接続するセクタ302と、データのエラーチェック部300と、メモリモジュール106へのアクセスを制御するメモリ制御部307と、CMアクセス制御部104から送出されたアドレス及びコマンドを解析するアドレス(ad r)、コマンド(cmd)解析部305と、アービタ306と、データ転送制御部310を有する。アービタ306は、制御線6:216で各マイクロプロセッサ101へ接続される。データ転送制御部310は、制御線4:214でセクタ部13内のデータ転送制御部310に接続される。また、データ転送制御部310は、セクタ302の切り替えを行う。

【0030】次に、キャッシュメモリ部14へのアクセス時の手順について述べる。キャッシュメモリ部14へアクセスする場合、チャンネルIF部11またはディスクIF部12内のマイクロプロセッサ101は、アクセスするキャッシュメモリ部14のメモリコントローラ10

5内のアービタ306へ、制御線6:216を使用して、アクセス要求を送出する。

【0031】メモリコントローラ105内のアービタ306は、アービトレーションによって各マイクロプロセッサ101からのアクセス要求の内の1つを選択する。

【0032】本実施例の構成(図1)では、キャッシュメモリ部14へのアクセス時に、CMアクセス制御部104、セクタ部13、及びメモリコントローラ105の3個所でアクセスの競合が発生するため、それぞれの箇所でアービトレーションを行い、競合の解消をする必要がある。本発明の特徴は、それら3つのアービトレーションをメモリコントローラ105内のアービタ306においてまとめて行うことにある。これにより、アクセス競合による3回の待ち時間を1回に減らすことが可能となる。

【0033】アービタ306は、選択されたアクセス要求を出したマイクロプロセッサ101へ、制御線6:216を使用して、アクセス承認を返す。アクセス承認を受けたマイクロプロセッサ101は、ホストIF102あるいはドライブIF103へ、キャッシュメモリ部14へのアクセス開始を指示する。

【0034】アクセス開始の指示を受けたホストIF102あるいはドライブIF103は、制御線1:211によりCMアクセス制御部104内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を送出する。データ転送制御部310は、2本の制御線1:211のどちらからアクセス開始の信号が来たかによって、セクタ302を切り替え、制御線1:211によりホストIF102あるいはドライブIF103へアクセス承認の信号を返すとともに、制御線2:212によってセクタ部13内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を出す。

【0035】本実施例では、CMアクセス制御部104に2つのホストIF102あるいは2つのドライブIF103が繋がっている。しかし、CMアクセス制御部104からメモリコントローラ105へのアクセスルートは1つしかないので、メモリコントローラ105がメモリモジュール106へのアクセスを同時に複数処理できる機能を有する場合、アービタ306でのアービトレーション時には同じCMアクセス制御部104に繋がる2つのホストIFあるいは2つのドライブIFを制御する2つのマイクロプロセッサ101の両方にアクセス承認を与えないようにする必要がある。CMアクセス制御部104に繋がるホストIF102あるいはドライブIF103の数と1つのCMアクセス制御部104から1つのメモリコントローラ105へのアクセスルート数が等しい場合は、この限りではない。

【0036】また本実施例では、メモリコントローラ1

05が2つあるのに対してCMアクセス制御部104に繋がるアクセスバス0:135は1本であるため、CMアクセス制御部104から2つのメモリコントローラ105へ同時にアクセスすることが出来ない。したがって、2つのメモリコントローラ105間を制御線で接続し、一方のメモリコントローラ105内のアービタ306でのアービトレーション時には、もう一方のメモリコントローラ105内のアービタ306の情報を参照して、同じCMアクセス制御部104に繋がる2つのホストIFあるいは2つのドライブIFを制御する2つのマイクロプロセッサ101の両方にアクセス承認を与えないようにする必要がある。CMアクセス制御部104から2つのメモリコントローラ105へ同時にアクセスすることが可能である場合は、この限りではない。

【0037】本実施例では、アービタ306で上記のような制約を考慮したアービトレーションを行わず、同じCMアクセス制御部104に繋がる2つのホストIF102あるいは2つのドライブIF103を制御する2つのマイクロプロセッサ101が排他制御を行い、CMアクセス制御部104を同時に使用しないようにする。すなわち、上記2つのマイクロプロセッサ101が、同時にキャッシュメモリ部14へアクセス要求を出さないように排他制御を行う。

【0038】したがって、データ転送制御部310では、2本の制御線1:211の両方からアクセス開始の信号が来た場合はエラーとみなし、障害処理を行う。

【0039】ホストIF102あるいはドライブIF103は、アクセス承認を受けるとデータ線210を通してアドレス、コマンド、データ(データの書き込み時のみ)を送出する。CMアクセス制御部104は、送られてきたアドレス、コマンド、データ(データの書き込み時のみ)をセクタ302、バスIF301を介して、セクタ部13に繋がるアクセスバス0:135に送出する。

【0040】セクタ部13内のデータ転送制御部310は、制御線2:212によってアクセス開始の信号と、アクセス先のメモリコントローラ105を示す信号を受けると、4本の制御線2:212のどれからアクセス開始の信号が来たかと、アクセス先のメモリコントローラ105を示す信号によって、セクタ304を切り替え、制御線2:212によりCMアクセス制御部104内のデータ転送制御部310へアクセス承認の信号を返すとともに、制御線4:214によってメモリコントローラ105内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を出す。

【0041】本実施例では、セクタ部13と1つのメモリコントローラ105間にアクセスバス1:136が1本しかないので、アービタ306でのアービトレーション時には同じセクタ部13に繋がるチャネルIF部

11及びディスクIF部12内のマイクロプロセッサ101の内の1つにのみアクセス承認を与えるようにする必要がある。セクタ部13と1つのメモリコントローラ105間にアクセスバス1:136が複数本あり、メモリコントローラ105がそのアクセスバスの数に等しい要求を同時に処理できる場合は、それに等しい数のマイクロプロセッサ101へアクセス承認を与えることができる。

【0042】上記のような制御を行うため、データ転送制御部310では、4本の制御線2:212のうちの複数本から同一のメモリコントローラ105へアクセス開始の信号が来た場合はエラーとみなし、障害処理を行う。

【0043】セクタ部13は、送られてきたアドレス、コマンド、データ（データの書き込み時のみ）をアクセスバス0:135に繋がるバスIF301、セクタ304、アクセスバス1:136に繋がるバスIF301を介して、メモリコントローラ105に繋がるアクセスバス1:136に送出する。

【0044】また、送られてきたアドレス及びコマンドはメモリコントローラ105へ送出するとともに、アドレス（adr）、コマンド（cmd）解析部305へ取り込み、2つのメモリコントローラ105の内のどちらにアクセスするかを調べ、制御線212のアクセス先のメモリコントローラ105を示す信号と比較し、異なる場合はエラーとみなし障害処理を行う。

【0045】ここで、上記のように制御線によってアクセス先のメモリコントローラ105を示す信号を送らない場合は、ホストIF102またはドライブIF103は、最初にアドレスとコマンドだけを送出する。そして、セクタ部13内のアドレス（adr）、コマンド（cmd）解析部305でアクセス先メモリコントローラ105を調べてセクタ304を切り替えた後、アクセス承認がCMアクセス制御部104を経由して返ってきたのを確認した後、データを送出するという手順で処理を行う必要がある。

【0046】メモリコントローラ105内のデータ転送制御部310は、制御線4:214によってアクセス開始の信号と、アクセス先のメモリコントローラ105を示す信号を受けると、2本の制御線4:214のどちらからアクセス開始の信号が来たかによって、セクタ302を切り替え、制御線4:214によりセクタ部13内のデータ転送制御部310へアクセス承認の信号を返すとともに、メモリ制御部307へアクセス開始を示す信号を出す。

【0047】上記のような制御を行うため、データ転送制御部310では、2本の制御線4:214の両方からアクセス開始の信号が来た場合はエラーとみなし、障害処理を行う。

【0048】送られてきたアドレス、コマンドは、アド

レス（adr）、コマンド（cmd）解析部305へ取り込み、解析結果得られたメモリの制御情報をメモリ制御部307へ送出する。また、アクセス先メモリコントローラ105を調べ、自メモリコントローラと異なる場合はエラーとみなし障害処理を行う。

【0049】データの書き込み時は、アクセスバス1:136を通して送られてきたデータをバスIF301、セクタ302、メモリIF308を介してメモリモジュール106へ書き込む。データの読み出し時は、メモリモジュール106からデータを読み出し、メモリIF308、セクタ302、バスIF301を介してアクセスバス1:136へ送出する。

【0050】メモリモジュール106へのアクセスが終了すると、データ転送制御部310においてアクセス状況を示すステータスを生成し、セクタ部13、CMアクセス制御部104を経由して、ホストIF102またはドライブIF103へ送出する。

【0051】本実施例では、CMアクセス制御部104のデータ転送制御部310は、セクタ302を切り替えた後、アクセス開始の信号をセクタ部13に送出し、アクセス承認をホストIF102あるいはドライブIF103へ返すとしたが、そうした場合は、ホストIF102あるいはドライブIF103からアドレスが送られてくる前に、セクタ部13からアクセス承認が返ってくるように、各部の処理時間を設定しなければならない。同様に、セクタ部13においても、CMアクセス制御部104からアドレスが送られてくる前に、メモリコントローラ105からアクセス承認が返ってくるように、各部の処理時間を設定しなければならない。上記のように出来ない場合は、CMアクセス制御部104及びセクタ部13にバッファを設けるか、セクタ部13はメモリコントローラ105からアクセス承認が返ってくるまでCMアクセス制御部104にアクセス承認を返さず、同様にCMアクセス制御部104はセクタ部13からアクセス承認が返ってくるまでホストIF102またはドライブIF103にアクセス承認を返さないようにする必要がある。

【0052】上記のように、3個所で発生する競合解消のためのアービトレーションをメモリコントローラ105内のアービタ306においてまとめて行うことにより、アクセス競合による3回の待ち時間を1回に減らすことが可能となる。それによって、キャッシュメモリ部14へのアクセス時間が短縮され、高いスループットのデータ転送を実現できる。

【0053】また、図12に示すように、チャンネルIF部11、ディスクIF部12、キャッシュメモリ部14を、4つのスイッチ（SW）16で構成した相互結合網110で接続したディスクアレイ制御装置1においても、本実施例は有効であり、CMアクセス制御部104、SW16、メモリコントローラ105のそれぞれで

発生するアクセスの競合を解消するためのアービトレーションをメモリコントローラ105でまとめて行うことができる。それによって、キャッシュメモリ部14へのアクセス時間が短縮され、高いスループットのデータ転送を実現できる。

【0054】(実施例2)図4に、本発明の他の実施例を示す。

【0055】ディスクアレイ制御装置1は、チャンネルIF部11、ディスクIF部12、セクタ部13、キャッシュメモリ部14と、アクセスバス0:135、アクセスバス1:136を有する。

【0056】チャンネルIF部11、ディスクIF部12、及びセクタ部13の構成は、実施例1と同様である。

【0057】CMアクセス制御部104とメモリコントローラ105間は制御線3:213で接続される。CMアクセス制御部104は、キャッシュメモリ部14へのアクセス時、制御線3:213を使用してメモリコントローラ105へアクセス要求を送出する。メモリコントローラ105は、各CMアクセス制御部からのアクセス要求にもとづいてアービトレーションを行い、メモリへのアクセス権を獲得したCMアクセス制御部104へ、制御線3:213を使用してアクセス承認を返す。CMアクセス制御部104は、メモリコントローラ105からアクセス承認を受けると、キャッシュメモリ部14へのアクセスを開始する。

【0058】図7は、CMアクセス制御部104内の構成を示している。CMアクセス制御部104は、セクタ302と、キャッシュメモリ部14に繋がるアクセスバス0:135とのバスIF301と、アドレス、コマンド、及びデータを一時保存するバッファ303と、データのエラーチェック部300と、データ転送制御部310を有する。セクタ302の2つのポートはデータ線210でHOSTIF102あるいはドライブIF103に接続される。また、セクタ302のもう1つのポートはバスIF301に接続される。バスIF301はアクセスバス0:135でセクタ部13に接続される。データ転送制御部310は、制御線1:211でHOSTIF102あるいはドライブIF103に接続され、制御線2:212でセクタ部13内のデータ転送制御部310に接続され、さらに制御線213でメモリコントローラ105内のデータ転送制御部310に接続される。また、データ転送制御部310は、セクタ302の切り替えを行う。

【0059】セクタ部13内の構成は、図8に示す実施例1の構成と同様である。

【0060】キャッシュメモリ部14内の構成は、図10に示す実施例1の構成において、制御線6:216の代わりに、CMアクセス制御部104内のデータ転送制御部310に繋がる制御線3:213をアービタ306

に接続した構成とする。

【0061】次に、キャッシュメモリ部14へのアクセス時の手順について述べる。キャッシュメモリ部14へアクセスする場合、チャンネルIF部11またはディスクIF部12内のマイクロプロセッサ101は、HOSTIF102あるいはドライブIF103へ、キャッシュメモリ部14へのアクセス開始を指示する。

【0062】アクセス開始の指示を受けたHOSTIF102あるいはドライブIF103は、制御線1:211によりCMアクセス制御部104内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を送出するとともに、データ線210を通してアドレス、コマンド、データを送出する。

【0063】CMアクセス制御部104は、データ線210を通して送られてきたアドレス、コマンド、データ(データの書き込み時のみ)をバッファ303に一時格納する。データ転送制御部310は、アービトレーションを行い、2つのHOSTIF102あるいは2つのドライブIF103のうちのどちらに、キャッシュメモリ部14へのアクセス権を与えるかを決定する。その後、アクセス権を与えられたHOSTIF102あるいはドライブIF103がアクセスするキャッシュメモリ部14のメモリコントローラ105内のアービタ306へ、制御線3:213を使用して、アクセス要求を送出する。

【0064】メモリコントローラ105内のアービタ306は、アービトレーションによって各CMアクセス制御部104からのアクセス要求の内の1つを選択する。

【0065】本実施例の構成(図1)では、キャッシュメモリ部14へのアクセス時に、CMアクセス制御部104、セクタ部13、及びメモリコントローラ105の3個所でアクセスの競合が発生するため、それぞれの箇所でアービトレーションを行い、競合の解消をする必要がある。本発明の特徴は、それらのうち、セクタ部13とメモリコントローラ105の2箇所でのアービトレーションをメモリコントローラ105内のアービタ306においてまとめて行うことにある。これにより、アクセス競合による3回の待ち時間を2回に減らすことが可能となる。

【0066】本実施例は、実施例1のように全てのマイクロプロセッサ101からの制御線6:216をメモリコントローラ105に接続することが、メモリコントローラ105を実装するLSIのピンネックにより不可能な場合に有効となる。

【0067】アービタ306は、選択されたアクセス要求を出したCMアクセス制御部104へ、制御線3:213を使用して、アクセス承認を返す。

【0068】アクセス承認を受けたCMアクセス制御部104内のデータ転送制御部310は、セクタ302を切り替え、制御線2:212によってセクタ部13

内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を出す。アクセス承認がセレクト部13から返ってきたら、バッファ内のアドレス、コマンド、データ（書き込み時のみ）をセレクト部302、バスIF301を介して、アクセスバス0:135へ送出する。以降の処理手順は、実施例1で述べた手順と同様である。

【0069】本実施例では、セレクト部13と1つのメモリコントローラ105間にアクセスバス1:136が1本しかないため、アービタ306でのアービトレーション時には同じセレクト部13に繋がるCMアクセス制御部104の内の1つにのみアクセス承認を与えるようにする必要がある。セレクト部13と1つのメモリコントローラ105間にアクセスバス1:136が複数本あり、メモリコントローラ105がそのアクセスバスの数に等しい要求を同時に処理できる場合は、それに等しい数のCMアクセス制御部104へアクセス承認を与えることができる。

【0070】本実施例においても実施例1と同様に、セレクト部13において、CMアクセス制御部104からアドレスが送られてくる前に、メモリコントローラ105からアクセス承認が返ってくるように、各部の処理時間を設定しなければならない。上記のように出来ない場合は、セレクト部13にバッファを設けるか、セレクト部13はメモリコントローラ105からアクセス承認が返ってくるまでCMアクセス制御部104にアクセス承認を返さないようにする必要がある。

【0071】LSIのピンネックにより、全てのマイクロプロセッサ101からの制御線をメモリコントローラ105に接続できない場合は、上記のように、セレクト部13及びメモリコントローラ105の2個所で発生する競合解消のためのアービトレーションをメモリコントローラ105内のアービタ306においてまとめて行うことにより、アクセス競合による3回の待ち時間を2回に減らすことが可能となる。それによって、キャッシュメモリ部14へのアクセス時間が短縮され、高いスループットのデータ転送を実現できる。

【0072】（実施例3）図5に本発明の他の実施例を示す。

【0073】ディスクアレイ制御装置1は、チャンネルIF部11、ディスクIF部12、セレクト部13、キャッシュメモリ部14と、アクセスバス0:135、アクセスバス1:136を有する。

【0074】チャンネルIF部11及びディスクIF部12の構成は、実施例1と同様である。

【0075】マイクロプロセッサ101とセレクト部13間は制御線5:215で接続されている。マイクロプロセッサ101は、キャッシュメモリ部14へのアクセス時、制御線5:215を使用してセレクト部13へアクセス要求を送出する。セレクト部13は、各マイクロ

プロセッサ101からのアクセス要求にもとづいてアービトレーションを行い、メモリへのアクセス権を獲得したマイクロプロセッサ101へ、制御線5:215を使用してアクセス承認を返す。マイクロプロセッサ101は、セレクト部13からアクセス承認を受けると、キャッシュメモリ部14へのアクセスを開始する。

【0076】CMアクセス制御部104内部の構成は、図6に示す実施例1の構成と同様である。

【0077】図9は、セレクト部13内の構成を示している。セレクト部13は、チャンネルIF部11、またはディスクIF部12に繋がるアクセスバス0:135とのバスIF301と、キャッシュメモリ部14に繋がるアクセスバス1:136とのバスIF301と、両者間を互いに接続するセレクト部304と、データのエラーチェック部300と、チャンネルIF部11、またはディスクIF部12から送出されたアドレス及びコマンドを解析するアドレス（adr）、コマンド（cmd）解析部305と、アービタ306と、データ転送制御部310を有する。データ転送制御部310は、制御線2:212でCMアクセス制御部104内のデータ転送制御部310に接続され、制御線4:214でキャッシュメモリ部14のメモリコントローラ105内のデータ転送制御部310に接続される。また、データ転送制御部310は、セレクト部304の切り替えを行う。アービタ306には、マイクロプロセッサ101からの制御線5:215が接続される。本実施例では、チャンネルIF部11、またはディスクIF部12に繋がるアクセスバス0:135とのIFポート301の数を4つ、キャッシュメモリ部14に繋がるアクセスバス1:136とのバスIF301の数を2つとした。実施例1の場合と同様に、上記個数は一実施例に過ぎず、個数を上記に限定するものではない。

【0078】図11は、キャッシュメモリ部14内の構成を示している。キャッシュメモリ部14は、メモリコントローラ105とメモリモジュール106を有する。メモリコントローラ105は、セレクト部13に繋がるアクセスバス1:136とのバスIF301と、メモリモジュール106とのメモリIF308と、両者間を互いに接続するセレクト部302とアドレス、コマンド、データを一時格納するバッファ303と、データのエラーチェック部300と、メモリモジュール106へのアクセスを制御するメモリ制御部307と、CMアクセス制御部104から送出されたアドレス及びコマンドを解析するアドレス（adr）、コマンド（cmd）解析部305と、データ転送制御部310を有する。データ転送制御部310は、制御線4:214でセレクト部13内のデータ転送制御部310に接続される。また、データ転送制御部310は、セレクト部302の切り替えを行う。本実施例では、セレクト部13に繋がるアクセスバス1:136とのバスIF301の数を2つと

した。上記個数は一実施例に過ぎず、個数を上記に限定するものではない。

【0079】次に、キャッシュメモリ部14へのアクセス時の手順について述べる。キャッシュメモリ部14へアクセスする場合、チャンネルIF部11またはディスクIF部12内のマイクロプロセッサ101は、自身が実装されているチャンネルIF部11またはディスクIF部12が繋がるセレクト部13内のアービタ306へ、制御線5:215を使用して、アクセス要求を送出する。

【0080】セレクト部13内のアービタ306は、アービトレーションによって各マイクロプロセッサ101からのアクセス要求の内の1つを選択する。

【0081】本実施例の構成(図1)では、キャッシュメモリ部14アクセス時に、CMアクセス制御部104、セレクト部13、及びメモリコントローラ105の3個所でアクセスの競合が発生するため、それぞれの箇所でアービトレーションを行い、競合の解消をする必要がある。本発明の特徴は、それらのうち、CMアクセス制御部104及びセレクト部13でのアービトレーションをセレクト部13内のアービタ306においてまとめて行うことにある。これにより、アクセス競合による3回の待ち時間を2回に減らすことが可能となる。

【0082】本実施例は、実施例1のように全てのマイクロプロセッサ101からの制御線6:216をメモリコントローラ105に接続することが、メモリコントローラ105を実装するLSIのピンネックにより不可能な場合に有効となる。但し、セレクト部13内のセレクト304とアクセスバス1:136とのバスIF301の間、あるいはメモリコントローラ105内のバスIFとセレクト302の間にバケットバッファ303を設ける必要がある。本実施例ではメモリコントローラ105内にバケットバッファ303を設ける。

【0083】このようにバケットバッファ303を設けるのは、セレクト部13においてキャッシュメモリ部14に繋がるアクセスバス1:136の使用権を獲得しても、メモリコントローラ105においてメモリモジュール106へのアクセスの競合が発生して待ち時間が生じるためである。したがって、バケットバッファ303を設けないと、メモリモジュール106へのアクセス権を獲得できるまで、マイクロプロセッサ101はキャッシュメモリ部14へのアクセスを開始できず、その間アクセスバス0:135及びアクセスバス1:136を占有することになる。そのため、アクセスバスの使用効率が低下して、データ転送のスループットが下がる。

【0084】アービタ306は、選択されたアクセス要求を出したマイクロプロセッサ101へ、制御線5:215を使用して、アクセス承認を返す。アクセス承認を受けたマイクロプロセッサ101は、ホストIF102あるいはドライブIF103へ、キャッシュメモリ部14へのアクセス開始を指示する。

【0085】アクセス開始の指示を受けたホストIF102あるいはドライブIF103は、制御線1:211によりCMアクセス制御部104内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を送出する。データ転送制御部310は、2本の制御線1:211のどちらからアクセス開始の信号が来たかによって、セレクト302を切り替え、制御線1:211によりホストIF102あるいはドライブIF103へアクセス承認の信号を返すとともに、制御線2:212によってセレクト部13内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を出す。

【0086】本実施例では、CMアクセス制御部104に2つのホストIF102あるいは2つのドライブIF103が繋がっているが、CMアクセス制御部104からセレクト部13へのアクセスルートは1つしかないため、アービタ306でのアービトレーション時には同じCMアクセス制御部104に繋がる2つのホストIFあるいは2つのドライブIFを制御する2つのマイクロプロセッサ101の両方にアクセス承認を与えないようにする必要がある。CMアクセス制御部104に繋がるホストIF102あるいはドライブIF103の数とセレクト部13へのアクセスルートの数等しい場合は、この限りではない。

【0087】アービタ306で上記のような制約を考慮したアービトレーションを行わない場合は、同じCMアクセス制御部104に繋がる2つのホストIF102あるいは2つのドライブIF103を制御する2つのマイクロプロセッサ101が排他制御を行い、CMアクセス制御部104を同時に使用しないようにする必要がある。

【0088】上記のような制御を行った場合、データ転送制御部310では、2本の制御線1:211の両方からアクセス開始の信号が来た場合はエラーとみなし、障害処理を行う。

【0089】ホストIF102あるいはドライブIF103は、アクセス承認を受けるとデータ線210を通してアドレス、コマンド、データ(データの書き込み時のみ)を送出する。CMアクセス制御部104は、送られてきたアドレス、コマンド、データ(データの書き込み時のみ)をセレクト302、バスIF301を介して、セレクト部13に繋がるアクセスバス0:135に送出する。

【0090】セレクト部13内のデータ転送制御部310は、制御線2:212によってアクセス開始の信号と、アクセス先のメモリコントローラ105を示す信号を受けると、4本の制御線2:212のどれからアクセス開始の信号が来たかと、アクセス先のメモリコントローラ105を示す信号によって、セレクト304を切り

替え、制御線2:212によりCMアクセス制御部104内のデータ転送制御部310へアクセス承認の信号を返すとともに、制御線4:214によってメモリコントローラ105内のデータ転送制御部310へアクセス開始を示す信号と、アクセス先のメモリコントローラ105を示す信号を出す。

【0091】セクタ部13は、送られてきたアドレス、コマンド、データ（データの書き込み時のみ）をアクセスバス0:135に繋がるバスIF301、セクタ304、アクセスバス1:136に繋がるバスIF301を介して、メモリコントローラ105に繋がるアクセスバス1:136に送出する。

【0092】また、送られてきたアドレス及びコマンドはメモリコントローラ105へ送出するとともに、アドレス（adr）、コマンド（cmd）解析部305へ取り込み、2つのメモリコントローラ105の内のどちらにアクセスするかを調べ、制御線212のアクセス先のメモリコントローラ105を示す信号と比較し、異なる場合はエラーとみなし障害処理を行う。

【0093】メモリコントローラ105内のデータ転送制御部310は、制御線4:214によってアクセス開始の信号と、アクセス先のメモリコントローラ105を示す信号を受けると、制御線4:214によりセクタ部13内のデータ転送制御部310へアクセス承認の信号を返す。また、送られてきたアドレス、コマンド、データ（データの書き込み時のみ）は、パケットバッファ303に一時格納する。

【0094】また、データ転送制御部310はアービトレーションを行い、2本のアクセスバス1:136のうちのどちらにメモリアクセス権を与えるかを決定する。

【0095】メモリアクセス権を与えられたバス側のパケットバッファ303から、アドレス、コマンドをアドレス（adr）、コマンド（cmd）解析部305へ取り込み、解析結果得られたメモリの制御情報をメモリ制御部307へ送出する。また、アクセス先メモリコントローラ105を調べ、自メモリコントローラと異なる場合はエラーとみなし障害処理を行う。

【0096】データの書き込み時は、パケットバッファ303内に格納したデータをセクタ302、メモリIF308を介してメモリモジュール106へ書き込む。データの読み出し時は、メモリモジュール106からデータを読み出し、メモリIF308、セクタ302、バスIF301を介してアクセスバス1:136へ送出する。

【0097】メモリモジュール106へのアクセスが終了すると、データ転送制御部310においてアクセス状況を示すステータスを生成し、セクタ部13、CMアクセス制御部104を経由して、ホストIF102またはドライブIF103へ送出する。

【0098】本実施例では、CMアクセス制御部104

のデータ転送制御部310は、セクタ302を切り替えた後、アクセス開始の信号をセクタ部13に送出し、アクセス承認をホストIF102あるいはドライブIF103へ返すとしたが、そうした場合は、ホストIF102あるいはドライブIF103からアドレスが送られてくる前に、セクタ部13からアクセス承認が返ってくるように、各部の処理時間を設定しなければならない。上記のように出来ない場合は、CMアクセス制御部104にバッファを設けるか、CMアクセス制御部104はセクタ部13からアクセス承認が返ってくるまでホストIF102またはドライブIF103へアクセス承認を返さないようにする必要がある。

【0099】LSIのピンネックにより、全てのマイクロプロセッサ101からの制御線をメモリコントローラ105に接続できない場合は、上記のように、CMアクセス制御部104及びセクタ部13の2個所で発生する競合解消のためのアービトレーションをセクタ部13内のアービタ306においてまとめて行うことによっても、アクセス競合による3回の待ち時間を2回に減らすことが可能となる。それによって、キャッシュメモリ部14へのアクセス時間が短縮され、高いスループットのデータ転送を実現できる。

【0100】

【発明の効果】本発明によれば、チャンネルIF部及びディスクIF部からキャッシュメモリ部へのアクセス時間を短縮することが可能となる。それによって、ディスクアレイ制御装置のデータ転送スループットが向上する。

【図面の簡単な説明】

【図1】本発明によるディスクアレイ制御装置の構成を示す図。

【図2】従来のディスクアレイ制御装置の構成を示す図。

【図3】従来のディスクアレイ制御装置の構成を示す図。

【図4】本発明によるディスクアレイ制御装置の他の構成を示す図。

【図5】本発明によるディスクアレイ制御装置の他の構成を示す図。

【図6】本発明によるディスクアレイ制御装置内のCMアクセス制御部の構成を示す図。

【図7】本発明によるディスクアレイ制御装置内のCMアクセス制御部の他の構成を示す図。

【図8】本発明によるディスクアレイ制御装置内のセクタ部の構成を示す図。

【図9】本発明によるディスクアレイ制御装置内のセクタ部の他の構成を示す図。

【図10】本発明によるディスクアレイ制御装置内のキャッシュメモリ部の構成を示す図。

【図11】本発明によるディスクアレイ制御装置内のキャッシュメモリ部の他の構成を示す図。

【図12】本発明によるディスクアレイ制御装置の他の構成を示す図。

【図13】本発明によるディスクアレイ制御装置のチャネルIF部の構成を示す図。

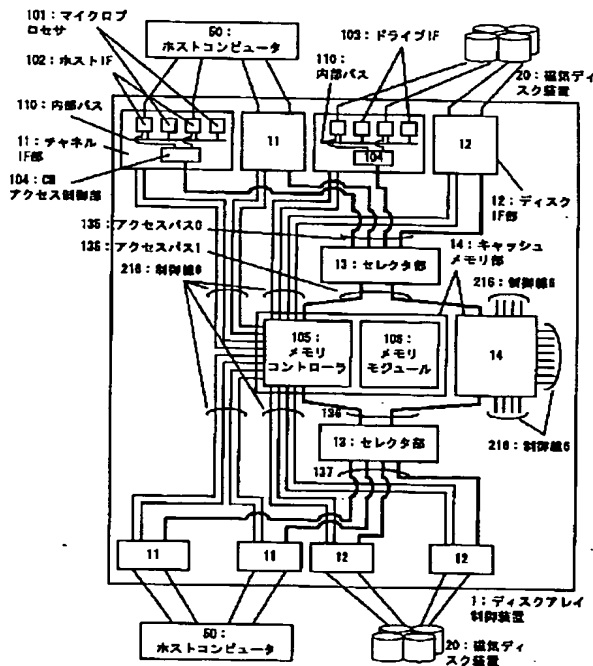
【符号の説明】

1…ディスクアレイ制御装置、11…チャネルIF部、12…ディスクIF部、13…セクタ部、14

…キャッシュメモリ部、20…磁気ディスク装置、50…ホストコンピュータ、101…マイクロプロセッサ、102…ホストIF、103…ドライブIF、104…CMアクセス制御部、105…メモリコントローラ、106…メモリモジュール、110、111…内部バス、135…アクセスバス0、136…アクセスバス1、216…制御線6。

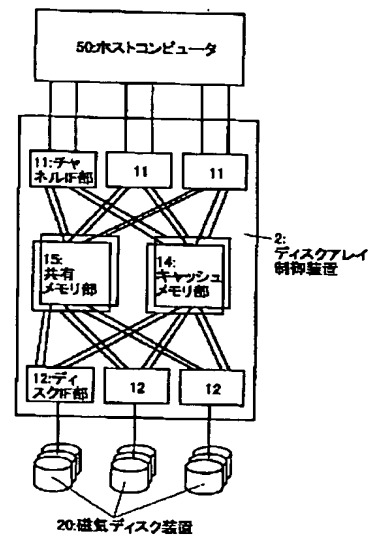
【図1】

図1



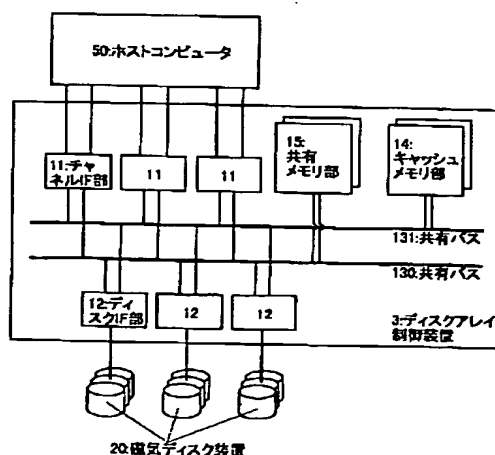
【図2】

図2



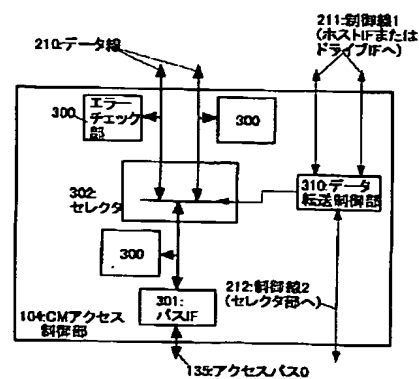
【図3】

図3



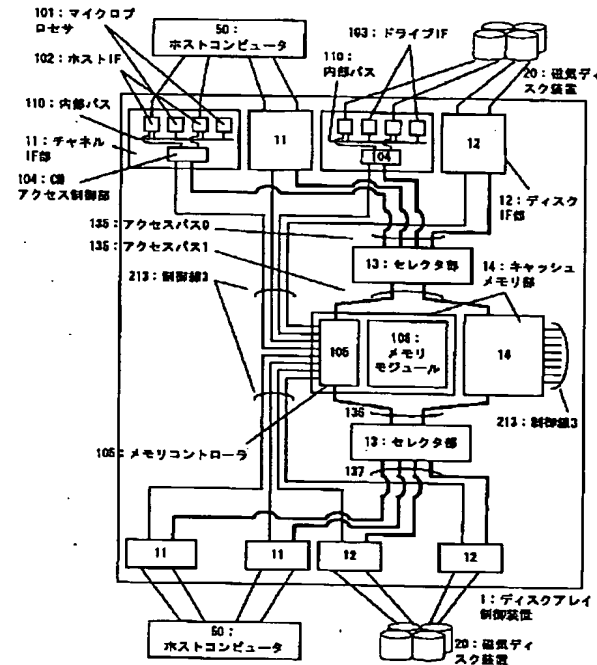
【図6】

図6



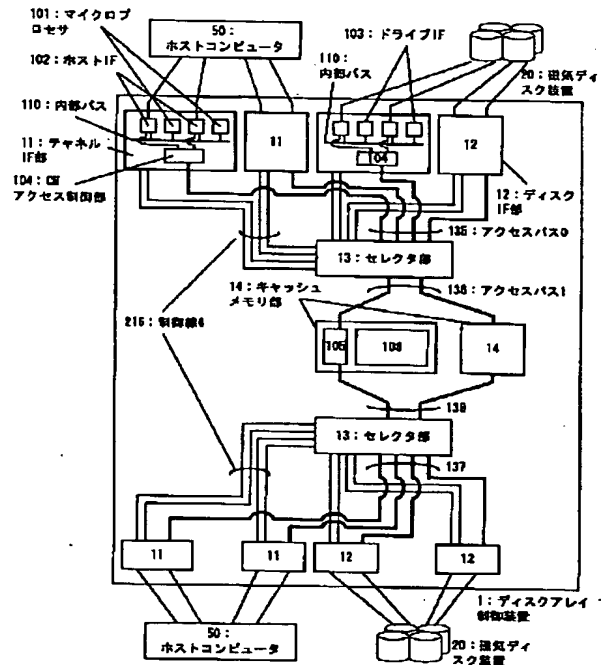
【図4】

図4



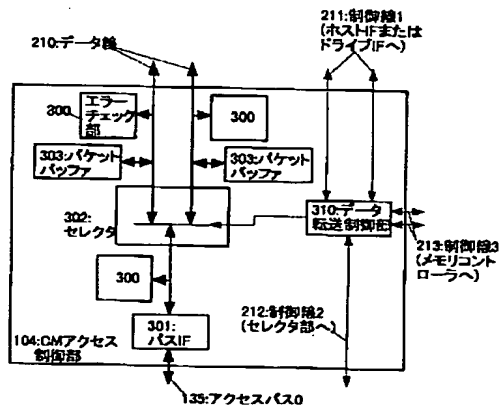
【図5】

図5



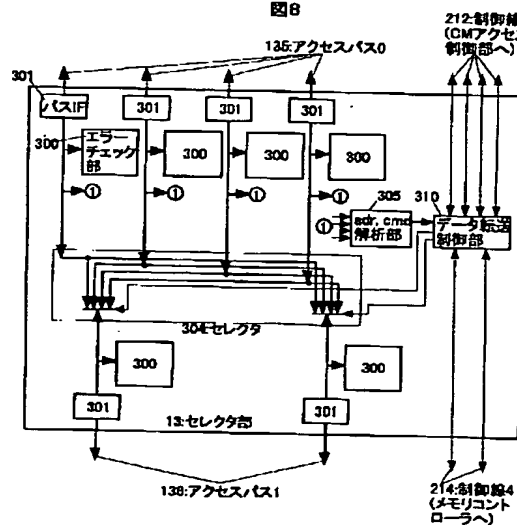
【図7】

図7



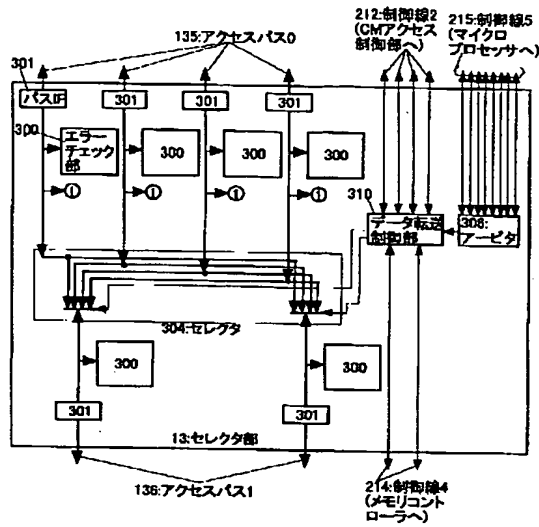
【図8】

図8



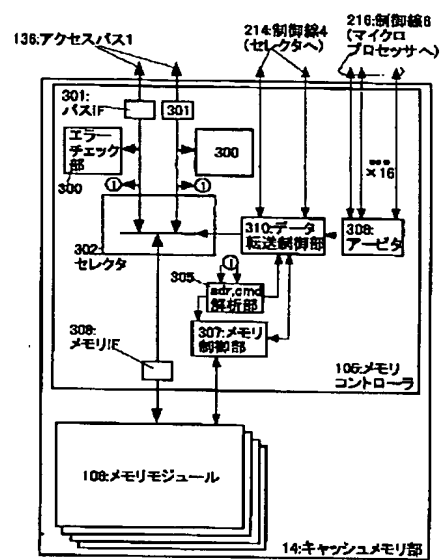
【図9】

図9



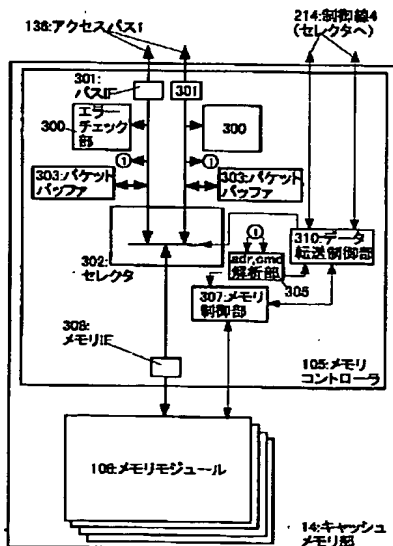
【図10】

図10



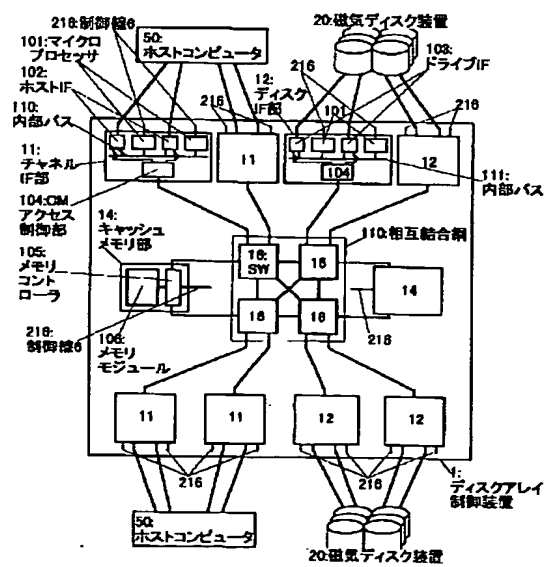
【図11】

図11



【図12】

図12



【図13】

図13

